(9) 日本国特許庁 (JP)

⑪特許出願公開

⑫公開特許公報(A)

昭55--91838

⑤Int. Cl.³H 01 L 21/60

識別記号

庁内整理番号 6684-5F **①公開** 昭和55年(1980)7月11日

発明の数 1 審査請求 未請求

(全 2 頁)

分電子装置

@特

顧 昭53—163977

❷出 顧昭53

顧 昭53(1978)12月29日

0発 明 者 竹本二三夫

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

の出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4

号

仍代 理 人 弁理士 最上務

1 森田の名称 電子装置

2 新鮮倫全の信用

単一もしくは複数の電子器品と、関配電子器品 の電価を選択的に露出させて前記電子器品の開題 に一体成形された製電体基板と、前記電子器品の 電価及び簡電体基板上に配接された導電体パター ンからなるととを特徴とする電子装置。

3. 発明の詳細な説明

本発明は、単一もしくは複数の電子部品が共通 の支持サプストレートに取りつけられ、配銀され 大電子装置に関する。

使来、電子製品及び支持サプストレートにより 構成され、ポンデインダレス方法により配銀され た電子装置は、33.1 他に示す如く、セラミック基 数1上に複数シート2が基盤され、半導体チップ エのト語が自転換数シート2の上面と同一平面と 立るように半導体チップ 8 が振め込まれる。更に 半導体チップ 8 及び物館 2 上に稼い樹脂シート 4 が接着されてかり、フォトエッチング技術により 半導体チップの電極器 5 が露出されるように、薄い樹脂シート 4 に孔 6 があけられていた。配便7 は 薄い樹脂シート 4 上及び孔 6 を通して半導体チップの電極器 5 上に、金銭被製を施した後、フォトエッチング技術を用いて形成されていた。

このため、製造時事い機能シート4を振着する 工程及び半導体チップの電価部5を開出させるた めの孔 6 をもけるフォトエッチンク工程が必要で あり、また半導体チップ5の上面と機能シート2 の上面が同一平面にすることが、困難で不良の原 因となつていた。本発明はかかる欠点を除去する ためになされたものである。

本発明の一実施例を集2回、集3回、集4回に ついて説明すると、集2回に示す如く半導体チップをの別選に資産をか一体成形され、かつ半導体 チップの電価部5は第出している。さらに乗3回 に示す如く、記録7は禁1回で説明したのと同様

- 2 -

な方法で製作される。

とのような電子装置によれば、第4回に示した 加く、半導体チップ3を射出成形下標々にセット し、更に半導体チップの電価部5に、接触するよ なピン10を有する射出成形上型11をセットし、 射出成形ゲーF12から歯脂を射出することによ り、製作することができる。射出成形上型11及 び射出成形下型9の半導体チップ3に要触する部 分の型精度は±1μ程度で仕上げてかくことが必 使である。

以上の説明においては、配慮7は金具被裏を施 こした役フォトエッチング技術を用いて形成した が、非常材料を印刷することにより形成してもよ い。また樹脂の成熟は、射出成形で製明したがト ランスファモールド、圧膿成形、注景等の方法を 用いてもよい。

以上の知く本発明によれば、薄い着前シート 4 を接着する工程及び半事体テンプの電電器 5 を露 出するための孔 6 をあけるフォトエッチンク工程 が不安となり工程の短線が可能となる。また半導 特朗昭55-9183812

体チップ 5 の上面と機能シート 2 の上面を同一平面にするという技術的問題点もなくなり良品率向上が可能となる。

4 物面の簡単な製明

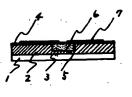
第1 図は、在来の電子装置の長部新設面。第2 図、第3 図は本発明の電子装置の一実施内の受益 新額因。第4 図は本発明の電子装置製造方法の一 本集像無無新期

1 ……セラミック基板 2 ……荷脂シート 3 ……半等体チップ 4 …… 非い荷脂シート 5 ……半等体チップの電無器 6 ……孔 7 ……配線 8 ……荷脂 9 ……射出底外下度 1 0 ……ピン 1 1 ……射出底形上盤 1 2 ……射出底形ゲート。

以上

出版人 株式会社保助程工会 代理人分理士 最 上 荷

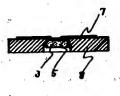




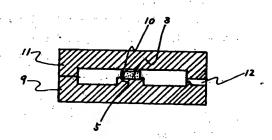
尹 1 図



* 2 B



ء علا



≯ <u>4</u> BR

CLIPPEDIMAGE= JP355091838A

PAT-NO: JP355091838A

DOCUMENT-IDENTIFIER: JP 55091838 A

TITLE: ELECTRONIC DEVICE

PUBN-DATE: July 11, 1980

INVENTOR-INFORMATION:

NAME

TAKEMOTO, FUMIO

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY N/A

APPL-NO: JP53163977

APPL-DATE: December 29, 1978

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 29/825,438/FOR.375

ABSTRACT:

PURPOSE: To simplify the working of burying an electronic part into an dielectric, by burying the electronic part, such as a semiconductor element, etc., into the dielectric substrate, such as resin, etc., in such a position that the electrode section is selectively exposed, and also by providing its surface with an electric conductive wiring.

CONSTITUTION: A semiconductor chip 3 is set on the top of an injection mold's bottom mold 9, and a top mold 11 of the injection mold, which has a pin 10 contacting an electrode section 5 of the semiconductor chip, is set over the top. By injecting resin from a gate 12 provided on the

BEST AVAILABLE COPY

02/24/2003, EAST Version: 1.03.0002

bottom mold of the injection mold, a resin 8 is formed into a continuous piece around the semiconductor chip 3. As the electrode section 5 is exposed when the top and bottom molds are removed, a wiring 7 is provided in such a manner as to allow it to extend over the resin 8 by using photo etching process or printing process. The resin may be formed by using transfer mold, compression forming or injection mold. As this method eliminates necessity of photo-etching process to expose the electrode section, it is possible to shorten an entire fabricating process and improve quality.

COPYRIGHT: (C) 1980, JPO&Japio

BEST AVAILABLE COPY

02/24/2003, EAST Version: 1.03.0002